

**(12) NACH DEM VERTRÄG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG**

**(19) Weltorganisation für geistiges Eigentum  
Internationales Büro**



**(43) Internationales Veröffentlichungsdatum  
3. Oktober 2002 (03.10.2002)**

PGT

(10) Internationale Veröffentlichungsnummer  
**WO 02/078007 A1**

(51) Internationale Patentklassifikation<sup>7</sup>: G11C 16/26,  
7/10, 16/10, 17/18

(72) Erfinder; und

(21) Internationales Aktenzeichen: PCT/DE02/01028

(72) **Erfinder; und**  
(75) **Erfinder/Anmelder (nur für US): BAUMGARTNER, Peter** [DE/DE]; Pflugstrasse 4, 80331 München (DE). **HAIBACH, Patrick** [DE/DE]; Kamenzer Strasse 58, 01099 Dresden (DE). **STRENZ, Robert** [DE/DE]; Zittauer Strasse 12, 01099 Dresden (DE). **GEISSLER, Christian** [DE/DE]; Johann-Meyer Strasse 10, 01097 Dresden (DE). **STEIN VON KAMIENSKI, Elard** [DE/DE]; Am Sonnenhang 2, 01109 Dresden (DE).

**(22) Internationales Anmeldedatum:** 21. März 2002 (21.03.2002)

(74) Anwalt: EPPING, HERMANN & FISCHER; Ridlerstrasse 55, 80339 München (DE).

## (25) Einreichungssprache: Deutsch

Deutsch

(26) Veröffentlichungssprache: Deutsch

Deutsch

**(30) Angaben zur Priorität:**

101 14 611.6 23. März 2001 (23.03.2001) DE

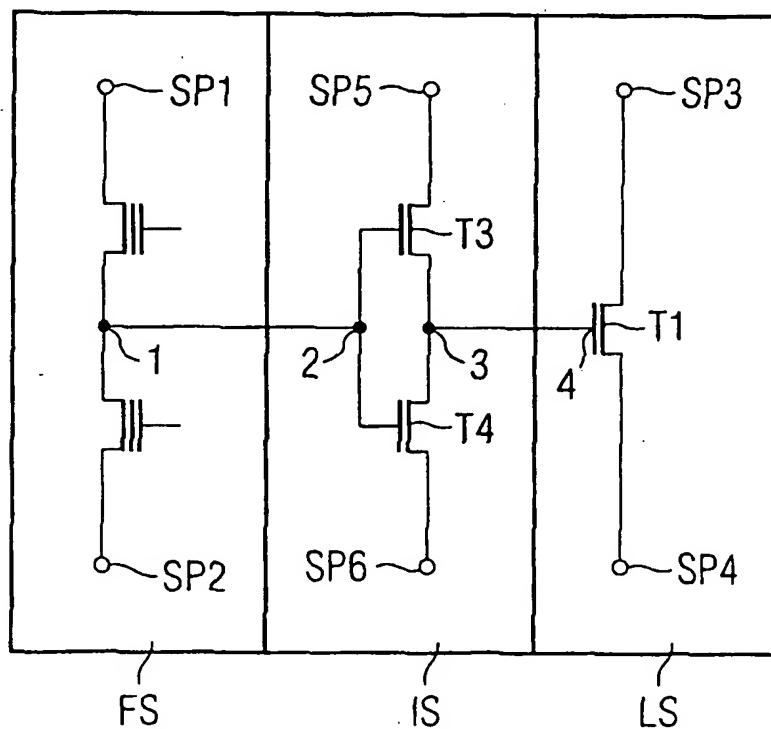
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Straße 53, 81669 München (DE)

**(81) Bestimmungsstaaten (national):** BR, CA, CN, IL, IN, JP, KR, MX, RU, UA, US.

[Fortsetzung auf der nächsten Seite]

**(54) Title: INTEGRATED LOGIC CIRCUIT**

**(54) Bezeichnung: INTEGRIERTE LOGIKSCHALTUNG**



**(57) Abstract:** The invention relates to a logic circuit comprising at least one logic circuit element, to the entry of which an output signal from the output of a memory cell can be supplied. An adapter circuit is provided between the entry of the logic circuit element and the output of the memory cell.

**(57) Zusammenfassung:** Es ist eine Logikschaltung mit zumindest einem Logikschaltelement vorgesehen, an dessen Eingang ein Ausgangssignal vom Speicherzellenausgang einer Speicherzelle zuführbar ist. Es ist vorgesehen, zwischen dem Eingang des Logikschaltelements und dem Ausgang der Speicherzelle eine Anpassschaltung vorzusehen.



(84) **Bestimmungsstaaten (regional):** europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

**Veröffentlicht:**

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

## Beschreibung

### Integrierte Logikschaltung

Die Erfindung betrifft eine integrierte Logikschaltung gemäß Patentanspruch 1.

Zur Herstellung schneller integrierter Schaltung mit hoher Funktionalität werden programmierbare Logikschaltungen, die auch auch als „FPGA-Zellen“ bekannt sind, hergestellt. Angesteuert werden diese Logikschaltungen beispielsweise aus sogenannten „SRAM-Zellen“ oder „Flash-Zellen“, in denen das Programm abgespeichert ist, wie diese in der WO 99/34515 A1 beschrieben ist.

Diese sogenannten „Flash-Zellen“ benötigen zum Betrieb im Vergleich zu einer Logikschaltung insbesondere zum Beschreiben und Löschen eine deutlich höhere Betriebsspannung. Dies führt bei der Integration beider Schaltungsteile auf einem Chip insbesondere bei zunehmender Miniaturisierung zu erheblichen Problemen bei der Trennung der hohen Programmierspannung für die Speicherzelle von der geringen Betriebsspannung der Logikschaltung. Dabei passen insbesondere die unterschiedlichen Durchbruchsspannungen der verwendeten Gate-Oxide, der hierbei üblichen Feldeffekttransistoren nicht zusammen. Wird das Gate-Oxid der Feldeffekttransistoren der Logikschaltung an das der Flash-Speicherzelle angepaßt, so ist die Gesamtanordnung zwar betreibbar, die Betriebseigenschaften werden jedoch verschlechtert.

Der Erfindung liegt somit die Aufgabe zugrunde, eine integrierte Logikschaltung vorzusehen, bei der mit einfachen Mitteln bei gleichbleibenden Betriebseigenschaften die Betriebssicherheit erhalten bleibt, auch wenn Schaltungselemente für unterschiedliche Betriebsspannungen ausgelegt sind.

Diese Aufgabe wird erfindungsgemäß mit dem in Patentanspruch 1 angegebenen Maßnahmen gelöst. Dadurch, daß zwischen dem Speicherzellenausgang der Speicherzelle und dem Eingang des Logikschaltelementes eine Anpaßschaltung vorgesehen ist, sind das Logikschaltungselement und die Speicherzelle mit unterschiedlichen Betriebsspannungen betreibbar und eine Trennung der Betriebsspannungen ist leicht möglich.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben. Das Trennen der Betriebsspannungen ist insbesondere dadurch vorteilhaft gewährleistet, daß die Speicherzelle mit einer ersten Betriebsspannung, das Logikschaltungselement mit einer zweiten Betriebsspannung und die Anpaßschaltung mit einer dritten Betriebsspannung betreibbar sind, wobei die erste Betriebsspannung größer als die dritte Betriebsspannung und die dritte Betriebsspannung größer als die zweite Betriebsspannung ist.

Die Erfindung ist insbesondere bei der Anwendung einer Flash-Speicherzelle als Speicherzelle vorteilhaft anwendbar.

Nachfolgend wird die Erfindung unter Bezugnahme auf die Figur anhand eines Ausführungsbeispiels beschrieben. Die Figur zeigt den prinzipiellen Aufbau der erfindungsgemäßen integrierten Logikschaltung. Es ist ein Logikschaltungselement LS vorgesehen, das in dem dargestellten Ausführungsbeispiel durch einen Feldeffekttransistor T1 realisiert ist. Dieser legt an einer dritten Betriebsspannung, die aus den Spannungspotentialen SP3 und SP4 zusammengesetzt ist. Am Gateschluß des Transistors T1, der den Eingang 4 des Logikschaltelementes LS darstellt, ist der Ausgang einer Inverterstufe IS angeschlossen. Die Inverterstufe IS besteht aus den beiden in Reihe geschalteten Feldeffekttransistoren T3 und T4, wobei der gemeinsame Ausgangs-Knoten der beiden Transistoren T3 und T4 den Ausgang 3 der Inverterstufe IS darstellen. Die Inverterstufe IS wird an einer dritten Betriebsspannung betrieben, die sich aus dem Spannungspotential SP5 und SP6 zusammensetzt.

Die beiden Gateanschlüsse der Transistoren T3 und T4 sind miteinander verbunden und stellen den Eingang 2 der Inverterstufe IS dar. Der Eingang 2 der Inverterstufe IS ist mit dem Ausgang 1 einer üblichen Flash-Speicherzelle FS verbunden. Die Flash-Speicherzelle FS ist wiederum an einer ersten Betriebsspannung angeschlossen, die sich aus den Spannungspotentialen SP1 und SP2 zusammensetzt.

Nunmehr ist die Flash-Speicherzelle für die hierfür benötigte Hochspannung dimensioniert. Entsprechend ist die Inverterstufe für die dritte Betriebsspannung dimensioniert und so ausgelegt, daß das von der Flash-Speicherzelle FS über den Ausgang 1 kommende Signal vom Eingang 2 der Inverterstufe IS aufgenommen und umgesetzt wird, ohne die beiden Transistoren T3 und T4 zu schädigen. Entsprechend ist die Inverterstufe so dimensioniert, daß das am Ausgang 3 anliegende invertierte Signal der Flash-Speicherzelle FS dem Eingang 4 des Logikschaltelementes LS zuführbar ist, ohne den Transistor T1 zu schädigen.

Mit der dargestellten Anordnung ist ein sicherer Programmierbetrieb der Flash-Speicherzelle FS möglich, ohne dabei das Logikschaltelement LS zu gefährden, das gleichzeitig, angepaßt an die zweite Betriebsspannung mit uneingeschränkten Betriebseigenschaften betreibbar ist.

Mit der zuvor beschriebene Erfindung ist insbesondere die Programmierung von FPGA-Zellen hervorragend anwendbar. Dabei wird der Nachteil, daß für die zusätzliche Inverterstufe Chip-Fläche der integrierten Schaltung benötigt wird, dadurch aufgehoben, daß die Betriebseigenschaften der FPGA-Zelle erhalten bleibt und nicht durch technologische Anpassungen an die Flash-Speicherzelle, d.h. durch den Einsatz spannungsfe ster und damit ungeeignet langsamer Transistoren, in ihren Betriebseigenschaften verschlechtert wird.

## Bezugszeichenliste

FS	Speicherzelle
IS	Anpaßschaltung, Inverterschaltung
LS	Logikschaltelement
SP1, SP2	erste Betriebsspannung
SP3, SP4	zweite Betriebsspannung
SP5, SP6	dritte Betriebsspannung
1	Speicherzellenausgang
2	Eingang Inverterschaltung
3	Ausgang Inverterschaltung
4	Eingang Logikschaltelement
T1	Feldeffekttransistor

**Patentansprüche**

1. Integrierte Logikschaltung mit zumindest einem Logikschaltelement (LS), dessen Eingang (4) ein Ausgangssignal einer Speicherzelle (FS) von einem Speicherzellenausgang (1) zuführbar ist,

d a d u r c h g e k e n n z e i c h n e t, daß zwischen dem Speicherzellenausgang (1) der Speicherzelle (FS) und dem Eingang (4) des Logikschaltelements (LS) eine Anpaßschaltung (IS) angeordnet ist.

2. Integrierte Logikschaltung nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß die Speicherzelle (FS) mit einer ersten Betriebsspannung (SP1, SP2) und das Logikschaltelement (LS) mit einer zweiten Betriebsspannung (SP3, SP4) betreibbar ist, und die Anpaßschaltung (IS) mit einer dritten Betriebsspannung (SP5, SP6) betreibbar ist.

3. Integrierte Schaltungsanordnung nach Anspruch 2,

d a d u r c h g e k e n n z e i c h n e t, daß die erste Betriebsspannung größer als die dritte Betriebsspannung ist und die dritte Betriebsspannung größer als die zweite Betriebsspannung ist.

4. Integrierte Logikschaltung nach Anspruch 1, 2 oder 3,

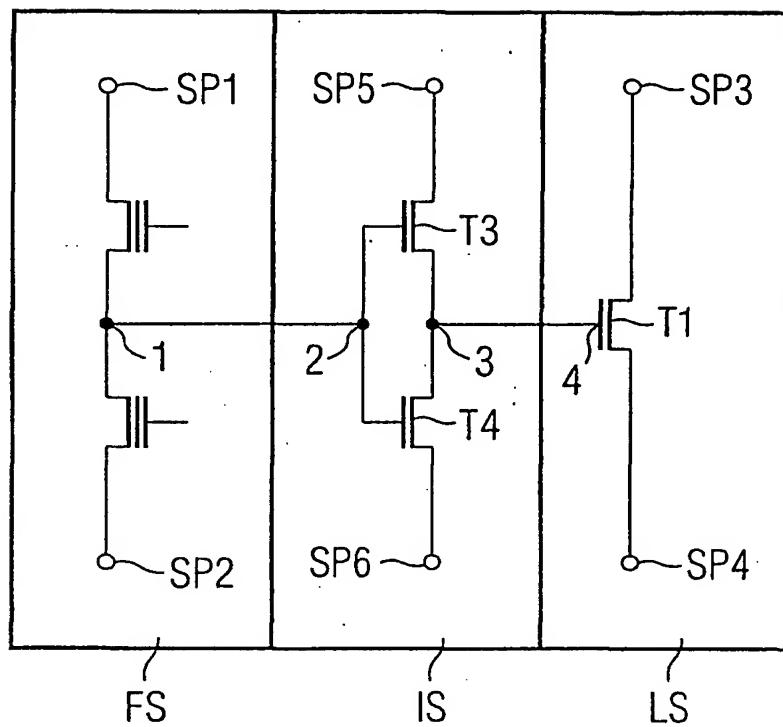
d a d u r c h g e k e n n z e i c h n e t, daß die Speicherzelle (FS) eine Flash-Speicherzelle ist.

5. Integrierte Logikschaltung nach Anspruch 1, 2, 3, 4 oder 5,

d a d u r c h g e k e n n z e i c h n e t, daß das Logikschaltelement (LS) ein Feldeffekttransistor (T1) ist.

6. Integrierte Logikschaltung nach Anspruch 1, 2, 3, 4 oder 5,

d a d u r c h g e k e n n z e i c h n e t, daß  
die Schaltung (IS) eine Inverterschaltung ist.



## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE 02/01028A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 G11C16/26 G11C7/10 G11C16/10 G11C17/18

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 G11C H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 199 22 360 A (SIEMENS AG) 23 November 2000 (2000-11-23) figure 1 ----	1-6
X	US 5 432 467 A (REDDY SRINIVAS T) 11 July 1995 (1995-07-11) column 1, line 32-44; figures 1,2 ----	1,5,6
Y	US 5 341 030 A (GALBRAITH DOUGLAS C) 23 August 1994 (1994-08-23) figure 2 ----	2-4
Y		2-4

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

## \* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*&\* document member of the same patent family

Date of the actual completion of the International search

19 August 2002

Date of mailing of the International search report

27/08/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Vidal Verdu, J.

## INTERNATIONAL SEARCH REPORT

## Information on patent family members

International Application No

PCT/DE 02/01028

Patent document cited in search report	Publication date	Patent family member(s)			Publication date
DE 19922360	A 23-11-2000	DE 19922360 A1	23-11-2000	JP 2000339989 A	08-12-2000
		US 6366518 B1	02-04-2002		
US 5432467	A 11-07-1995	NONE			
US 5341030	A 23-08-1994	EP 0525939 A2	03-02-1993	JP 5243974 A	21-09-1993

## INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 02/01028

A. KLASSEFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
 IPK 7 G11C16/26 G11C7/10 G11C16/10 G11C17/18

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G11C H03K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 199 22 360 A (SIEMENS AG) 23. November 2000 (2000-11-23) Abbildung 1	1-6
X	US 5 432 467 A (REDDY SRINIVAS T) 11. Juli 1995 (1995-07-11)	1,5,6
Y	Spalte 1, Zeile 32-44; Abbildungen 1,2	2-4
Y	US 5 341 030 A (GALBRAITH DOUGLAS C) 23. August 1994 (1994-08-23) Abbildung 2	2-4

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* Älteres Dokument, das jedoch erst am oder nach dem Internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem Internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*&amp; Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

Absendedatum des Internationalen Recherchenberichts

19. August 2002

27/08/2002

Name und Postanschrift der Internationalen Recherchenbehörde  
 Europäisches Patentamt, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.  
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Vidal Verdu, J.

**INTERNATIONALER RECHERCHENBERICHT**

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 02/01028

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
DE 19922360	A 23-11-2000	DE 19922360	A1 23-11-2000	JP 2000339989 A 08-12-2000
		US 6366518	B1 02-04-2002	
US 5432467	A 11-07-1995	KEINE		
US 5341030	A 23-08-1994	EP 0525939	A2 03-02-1993	JP 5243974 A 21-09-1993

